

3 (e)

BAR CODE READER

Patent Number: JP2044484
Publication date: 1990-02-14
Inventor(s): YUMINO MASAMICHI; others: 01
Applicant(s): EASTMAN KODATSUKU JAPAN KK
Requested Patent: ☐ JP2044484
Application Number: JP19880195380 19880805
Priority Number(s):
IPC Classification: G06K7/10; G06K7/00
EC Classification:
Equivalents:

Abstract

PURPOSE:To accurately perform decoding by extracting the feature of a bar code based on digital data corresponding to the bar code, and outputting a signal representing the feature.
CONSTITUTION:A feature extraction circuit 4 is provided between an A/D converter 3 and a binarization circuit 5. The feature extraction circuit 4 extracts the feature of the bar code based on data obtained by scanning the same bar code along different scanning lines, and eliminates noise such as scan void or a spot, etc., essentially. A method to extract the feature is applied, for example, by finding the mean value of the data obtained by plural times of scan. In such a way, it is possible to decode the bar code with high accuracy.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(J P)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-44484

⑤ Int. Cl.⁵

G 06 K 7/10
7/00

識別記号

Y
F

庁内整理番号

6745-5B
6745-5B

⑬ 公開 平成2年(1990)2月14日

審査請求 未請求 請求項の数 6 (全9頁)

⑭ 発明の名称 パーコード・リーダー

⑯ 特 願 昭63-195380

⑰ 出 願 昭63(1988)8月5日

⑱ 発 明 者 弓 野 正 道 東京都港区西新橋1丁目24番14号 日本コダック株式会社
内

⑲ 発 明 者 吉 田 尚 子 東京都港区西新橋1丁目24番14号 日本コダック株式会社
内

⑳ 出 願 人 イーストマン・コダック
クジャパン株式会社 東京都港区西新橋1丁目24番14号

㉑ 代 理 人 弁理士 湯浅 恭三 外4名

明 細 書

1. 発明の名称

パーコード・リーダー

2. 特許請求の範囲

1. パーコードをスキャナによってスキャンして該パーコードにおけるバーの配列と組み合わせとを読み取るパーコード・リーダーにおいて、

前記スキャナからの出力信号に基づいて前記パーコードの特徴を抽出し、該特徴を表す信号を出力する特徴抽出手段と、

該特徴抽出手段からの出力信号に基づいて、前記パーコードを読み取る読取手段と

を具備することを特徴とするパーコード・リーダー。

2. パーコードをスキャナによってスキャンして該パーコードにおけるバーの配列と組み合わせとを読み取るパーコード・リーダーにおいて、

前記スキャナからのアナログ出力信号をデジタル・データに変換する変換手段と、

該変換手段から出力されたデジタル・デー

タに基づいて前記パーコードの特徴を抽出し、該特徴を表すデータを出力する特徴抽出手段と、

該特徴抽出手段から出力されるデータに基づいて、前記パーコードを読み取る読取手段と、を具備することを特徴とするパーコード・リーダー。

3. 前記変換手段が、前記アナログ信号をスキャン順にデジタル・データに変換するA/D変換器であり、

前記特徴抽出手段が、

該A/D変換器からのデジタル・データを1スキャンライン分ずつ順に記憶するとともに、既に記憶されていた前回のスキャンで得たデジタル・データを読み出すRAMと、

該RAMから読み出されたデジタル・データと該RAMに現在格納されているデジタル・データとを個別に記憶するラッチ回路と、

該ラッチ回路に記憶されたデジタル・データおしを平均化し、前記パーコードの特徴を表すデータを出力する平均化回路と、

を備えることを特徴とする請求項2記載のバーコード・リーダー。

4. 前記変換手段が、前記アナログ信号をスキャン順にデジタル・データに変換するA/D変換器であり、

前記特徴抽出手段が、該A/D変換器から出力される1つのスキャンラインでのデジタル・データと他のスキャンラインでのデジタル・データとの平均値を求めて前記バーコードの特徴を表すデータを出力するようにプログラムされたマイクロコンピュータを有することを特徴とする請求項2記載のバーコード・リーダー。

5. 前記読取手段が、

前記特徴抽出手段から出力されるデータをスレッシュホールド・レベルと比較して2値化する2値化回路と、

該2値化回路からの出力を所定の符号へ変換するデコードと、

を有することを特徴とする請求項2記載のバー

コード・リーダー。

6. バーコードの異なる位置を読み取るように配置された複数のスキャナと、

前記複数のスキャナから出力されるアナログ信号とおしを平均化して、前記バーコードの特徴を表すアナログ信号を出力する平均化手段と、

該平均化手段からのアナログ信号に基づいて前記バーコードを読み取る読取手段と、

を具備することを特徴とするバーコード・リーダー。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、ボイド、スポットなどのノイズがバーコードに存在しても正確な読み取りを行うことが可能なバーコード・リーダーに関する。

(従来の技術)

第4図は、従来のバーコード・リーダーの構成の一例を示すブロック図である。この図により、従来のバーコード・リーダーの動作を説明する。

商品名、値段、商品メーカー名などを表すために紙面P上に設けられたバーコードBの黒バーと白バーとの組み合わせがスキャナ1によって読み取られる。スキャナ1は1ライン分の読み取りを可能にする1列の読み取り素子(例えばCCD)を備えている。スキャナ1の読み取り素子によって読み取られたバーコードBを表すアナログ信号は増幅器2で増幅された後、A/D変換器3によってnビットのデジタル・データへ変換される。このデジタル・データのそれぞれのビットは、2値化回路5において、所定のレベルを表すスレッシュホールド・データと比較されて、バーコードBにおける白バー及び黒バーの配列及び組み合わせに対応する2値データとして出力される。2値化回路5からの2値データはデコード6に入力され、ここでアスキー・コード(ASCII)などの所定の符号に変換されて、バーコード読み取りのための符号信号が出力される。

(発明が解決しようとする課題)

以上の説明からわかるとおり、第4図に示され

た従来のバーコード・リーダーにおいては、バーコードBにボイド、スポットなどのノイズが存在しない正常な状態では、スキャナ1から出力されるアナログ信号はバーコードBに対応したものになるので、正しい読み取りが行われる。しかしながら、バーコードBがボイドやスポットなどのノイズを含んでいると、必ずしも正確な読み取りが行われるとは限らない。これを、第5図の(a)~(d)を参照しながら説明する。

第5図(a)は、バーコードBに、ある程度の幅を持つスポット b_1 とボイド b_2 とが存在する場合を図式的に表したものである。いま、スキャナ1がスキャン・ラインIに沿ってバーコードBを読み取ったとすると、スキャン・ラインI上にはボイドもスポットも存在しないので、スキャナ1は、第5図(b)に示されるような、バーコードBに正しく対応した信号を出力する。しかしながら、スキャナ1がスキャン・ラインIIに沿ってバーコードBを読み取ったとすると、ある大きさのスポット b_1 がスキャン・ラインII上に存在する

ため、スキャナ1からの出力は第5図(c)に示すものとなる。すなわち、スポット b_1 は細い黒バーとして読み取られてしまうので、元のバーコードBとは異なるバーコードが認識されてしまう。また、スキャナ1がスキャン・ラインⅢに沿ってバーコードBを読み取った場合、黒バーの上にその幅に相当するボイド b_2 が存在するので、スキャナ1からの出力は第5図(d)のようになり、ボイド b_2 のある黒バーは読み落とされてしまうことになる。

このように、従来のバーコード・リーダーには、バーコードにボイドやスポットなどのノイズが含まれていると、こうしたノイズを細バーや細スペースとして読み取ってしまったり、読み取るべきバーを読み取らなかつたりして完全なデコードができず、読み取りに誤りが生じるという問題点があった。

この発明はこうした問題点を除去するために成されたもので、精度良くバーコードをデコードすることができるバーコード・リーダーを提供する

デジタル・データを1スキャンライン分ずつ順に記憶するとともに、既に記憶されていた前回のスキャンで得たデジタル・データを読み出すRAMと、該RAMから読み出されたデジタル・データと該RAMに現在格納されているデジタル・データとを個別に記憶するラッチ回路と、該ラッチ回路に記憶されたデジタル・データとおしを平均化し、前記バーコードの特徴を表すデータを出力する平均化回路と、を備えている。また、別の実施例においては、前記変換手段は、前記アナログ信号をスキャン順にデジタル・データに変換するA/D変換器であり、前記特徴抽出手段は、該A/D変換器から出力される1つのスキャンラインでのデジタル・データと他のスキャンラインでのデジタル・データとの平均値を求めて前記バーコードの特徴を表すデータを出力するようにプログラムされたマイクロコンピュータを有する。

バーコードの読み取りをアナログ的に行うに際しては、本発明のバーコード・リーダーは、バーコードの異なる位置を読み取るように配置された

ことを目的とするものである。

(課題を解決するための手段)

上記目的を達成するために、本発明のバーコード・リーダーは、スキャナからの出力信号に基づいてバーコードの特徴を抽出し、該特徴を表す信号を出力する特徴抽出手段と、該特徴抽出手段からの出力信号に基づいて、バーコードを読み取る読取手段とを具備する。

バーコードの読み取りをデジタル的に行うに際しては、本発明のバーコード・リーダーは、スキャナからのアナログ出力信号をデジタル・データに変換する変換手段と、該変換手段から出力されたデジタル・データに基づいてバーコードの特徴を抽出し、該特徴を表すデータを出力する特徴抽出手段と、該特徴抽出手段から出力されるデータに基づいて、前記バーコードを読み取る読取手段とを具備する。一実施例においては、前記変換手段は、前記アナログ信号をスキャン順にデジタル・データに変換するA/D変換器であり、前記特徴抽出手段は、該A/D変換器からのデ

複数個のスキャナを設け、該複数個のスキャナから出力されるアナログ信号とおしを平均化して、バーコードの特徴を表すアナログ信号を出力する平均化手段と、該平均化手段からのアナログ信号に基づいて前記バーコードを読み取る読取手段とを具備する。

(作用)

上記のように構成されたバーコード・リーダーでは、バーコードにボイドやスポットなどのノイズが含まれていても、スキャナからの出力信号に基づいてバーコードの特徴を抽出することにより、バーコード内のノイズが除去される。

(実施例)

第1図は、この発明に係るバーコード・リーダーの一実施例のブロック図である。なお、第4図に示した従来例と同様の構成要素には、同一の参照符号及び数字が使用されている。図からわかるとおり、この実施例が第4図の従来例と相違するのは、A/D変換器3と2値化回路5との間に特徴抽出回路4を設けたことである。

特徴抽出回路4は、同じバーコード上を異なるスキャン・ラインに沿ってスキャンして得たデータに基づいて当該バーコードの特徴を抽出することにより、バーコードに含まれるボイドやスポットなどのノイズを実質的に除去する働きをするものである。特徴を抽出する手法としては、例えば、複数回のスキャンによって得たデータの平均値を求めることが挙げられる。第5図(a)に示されるようにボイドやスポットがバーコードに含まれている場合、こうしたボイドやスポットの上をスキャンしたときのデータは、前述のとおり、誤りを含んでいることがある。しかしながら、各回のスキャンで得たデータを加え合わせてその平均値を求め、且つ、適切にスレッショルド・レベルを決定することにより、黒バーと白バーとを正確に識別することができ、ノイズの影響を除去することが可能となる。平均値を求める以外にも、バーコードの特徴を抽出するためには、A/D変換器3からのデジタル・データを微分して各デジタル・データのエッジを強調する方法など、どの

のアドレスの指定はカウンタ8により行われ、カウンタ9はスキャン回数毎の記憶場所の指定を行う。更に、特徴抽出回路4はそれぞれ一時に1個のデジタル・データを記憶できる容量を持つ二つのラッチ回路10、11を備える。ラッチ回路10はRAM7から読み出されたデジタル・データを1個ずつ順に記憶し、ラッチ回路11はA/D変換器3からのデジタル・データを1個ずつ順に記憶する。ラッチ回路10とラッチ回路11との出力は平均化回路12に加えられ、平均化回路12からの出力が特徴抽出回路4の出力となる。

次に、この特徴抽出回路4の動作を説明する。スキャナ1の1回目のスキャンにより求められたm個のデジタル・データは、カウンタ8、9によって書き込みを制御されてRAM7の所定の場所に蓄積される。その後、スキャナ1をバーコードB上で移動させて、又は、スキャナ1に対してバーコードBを移動させて、前回とは異なる位置で2回目のスキャンを行う。この2回目のスキャ

ンによるものも、この発明の特徴抽出回路に使用することが可能である。

以下、本発明に係る特徴抽出回路の構成及び動作について説明するが、理解を容易にするために、2回の異なる位置でのスキャンから得たデジタル・データの平均値を求める場合を例にあげて説明する。第2図は、そのための特徴抽出回路の一例を示すブロック図である。

スキャナ1がm個のCCDを有するCCDスキャナであるとする、CCDスキャナ1は一時にm個のデジタル・データを出力し、A/D変換器3はこのデジタル・データのそれぞれをnビットのデータに変換する。特徴抽出回路4は、1回のスキャンによりA/D変換器3から出力されるそれぞれがnビットのm個のデジタル・データを少なくとも蓄積することのできる容量を持つランダム・アクセス・メモリ(RAM)7を備える。RAM7に対するデジタル・データの書き込み、読み出しはカウンタ8、9によって制御される。RAM7へ入力されるm個のデジタル・データ

ンにより得られたm個のデジタル・データも、前回と同様に、順にRAM7に蓄積される。ただし、今回はm個のデジタル・データのそれぞれはラッチ回路11へも供給される。この2回目のスキャンによるm個のデジタル・データが順にRAM7に書き込まれていくのと同期して、既にRAM7に蓄積されている1回目のスキャンによるm個のデジタル・データが順に1個ずつ読み出されて、ラッチ回路10に供給される。このとき、ラッチ回路10とラッチ回路11とは、1回目と2回目とのスキャンにおいて同じCCDから得られたデジタル・データがそれぞれ書き入れられるように、RAM7とラッチ回路10、11とが同期して動作するように制御される。

同じCCDから得たデジタル・データがラッチ回路10、11に書き入れられる度に、これらデジタル・データは平均化回路12へ送られ、平均化回路12において、これらデジタル・データの和が求められ、次いでその和を2で割って両デジタル・データの平均値が求められる。こうし

た動作が m 個のデジタル・データすべてについて順に行われ、2 回のスキャンで得られたデジタルデータの平均値を持つデータが新たなデジタル・データとして順に 2 値化回路 5 に入力される。

これを再び第 5 図を用いて図式的に説明する。ここでは、同図の (b) ~ (f) は、A/D 変換器 3 から出力されるデジタル・データを、説明を容易にするために、濃度を表す信号としてグラフの高低で表示したものであるとする。前述したと同様に、(b)、(c)、(d) はそれぞれスキャンライン I、II、III をスキャンして得たデジタル・データを表している。そこで、(b) で表されたデジタル・データと (c) で表されたデジタル・データを平均化すると (e) で表されるデジタル・データを求めることができる。(e) には、スポットに対応した出力が含まれているが、平均化によりその大きさは $1/2$ になっている。したがって、スレッシュールド・レベルを適切に設定することにより、スポットからの出力

を除去することができる。同様に、(b) で表されるデジタル・データと (d) で表されるデジタル・データを平均化すると、(f) で表されるデジタル・データが求まるので、適切なスレッシュールド・レベルの設定により、ボイドを含むバーを読み落とすことがない。

こうして、バーコードにボイドやスポットなどのノイズが存在した場合でも、通常は、ボイドやスポットの位置で得られたデジタル・データを、他の位置でのスキャンにより得られたデジタル・データと共に平均化することにより、白バーと黒バーとの間に位置する濃度データとなるので、スレッシュールド・レベルを適切に設定することにより、誤った読み取りを回避することができる。

以上の説明は 2 回のスキャンによるデジタル・データの平均をとるものであったが、2 回に限られるわけではなく、3 回以上のスキャンにより得られたデジタル・データの平均値を求めても、それだけ特徴抽出が容易になり、同様の結果が得られる。

実際は、スキヤナに対してバーコードを所定の速度で移動させながら読み取りを行うので、ある程度の高速処理が必要になる。そこで、特徴抽出回路 4 と 2 値化回路 5 とを、前記と同様に平均値を求め 2 値化する動作が行われるようにマイクロコンピュータをプログラムすることにより、メモリとマイクロコンピュータとで実現することも可能である。以下、第 3 図 (a) 及び (b) を用いて、一つのスキャンライン当たり m 個のデジタル・データを n 本のスキャンライン分だけ用いて上記の処理を行う場合を例にとって説明する。

第 3 図 (a) において、平均化と 2 値化とを行う回路はメモリ部 ME とマイクロコンピュータ部 MC とを備える。メモリ部 ME は、A/D 変換器 3 から順次出力される n 本のスキャンラインでのデジタル・データを記憶するだけの容量を持つスキャンデータ・メモリ 13 と、それぞれ 1 本のスキャンラインでのデジタル・データを記憶できる容量を持つ第 1、第 2、第 3 の演算用バッファ・メモリ 14、15、16 と、デコード用データ・

メモリ 17 とを有し、マイクロコンピュータ部 MC は、2 個のデジタル・データを加算し 2 で割る平均化手段 18 と、2 値化手段 19 と、メモリ部 ME の書き込み、読み出し動作や各回路の動作を制御する制御手段 20 とを備えている。

次に、この回路の動作を第 3 図 (b) を参照しながら説明する。制御手段 20 により、スキャンデータ・メモリ 13、演算用バッファ・メモリ 14 ~ 16、平均化手段 18、2 値化手段 19 が初期化されて (ステップ 21) から、各スキャンラインのデジタル・データがスキャンデータ・メモリ 13 に順次供給され、そこに記憶されていく (ステップ 22 ~ 23)。制御手段 20 の制御の下で、データ・メモリ 13 に 1 番目から n 番目までのスキャンラインからのデジタル・データが記憶されていくのと平行して、デジタル・データが、次のように、1 番目のスキャンラインのものから順にスキャンデータ・メモリ 13 から読み出される (ステップ 24 ~ 26)。

まず、スキャンデータ・メモリ 13 から読み出

された1番目のスキャンラインのデジタル・データは第1の演算用バッファ・メモリ14に格納される。次に、第1の演算用バッファ・メモリ14の内容は第2の演算用バッファ・メモリ15へコピーされ、2番目のスキャンラインのデジタル・データがスキャンデータ・メモリ13から読み出されて第1の演算用バッファ・メモリ14に格納される。この後、第2の演算用バッファ・メモリ15の内容は第3の演算用バッファ・メモリ16へ、第1の演算用バッファ・メモリ14の内容は第2の演算用バッファ・メモリ15へそれぞれコピーされ、第1の演算用バッファ・メモリ14に3番目のスキャンラインのデジタル・データが格納される。この時点では、第3の演算用バッファ・メモリ16には1番目のスキャンラインのデジタル・データが、第2の演算用バッファ・メモリ15には2番目のスキャンラインのデジタル・データが、第1の演算用バッファ・メモリ14には3番目のスキャンラインのデジタル・データがそれぞれ格納されたことになる。

スレッシュールド・レベルと比較され、その結果がデコード用データ・メモリ17に記憶される(ステップ31~34)。このデコード用データ・メモリ17にm番目どおしの平均値とスレッシュールド・レベルとの比較の結果が記憶されると、デコード用データ・メモリ17に記憶された内容はデコード6へ与えられる(ステップ35)。こうして、1ライン目と3ライン目とのデジタル・データどおしの平均化が完了する。

このような平均化・2値化処理が行われている間に、制御手段20は、第3の演算用バッファ・メモリ16に2番目のスキャンラインのデジタル・データを、第2の演算用バッファ・メモリ15に3番目のスキャンラインのデジタル・データを、第1の演算用バッファ・メモリ14に4番目のスキャンラインのデジタル・データをそれぞれ格納させ、上記と同様にして、2番目のスキャンラインのデジタル・データと4番目のスキャンラインのデジタル・データとについて、平均化・2値化処理を行わせる。

このように、スキャンデータ・メモリ13から読み出されたデジタル・データは制御手段20の制御の下で、順に第1の演算用バッファ・メモリ14へ格納され、それと平行して、各演算用バッファ・メモリの内容は隣の演算用バッファ・メモリへコピーされていく(ステップ23~26)。

平均化処理はi番目と(i+2)番目(ただし、 $i=1\sim n$)とのスキャンラインのデジタル・データについて行われるとする(ステップ28~29)。これを具体的に説明すると、第3の演算用バッファ・メモリ16に1番目のスキャンラインのm個のデジタル・データが、第1の演算用バッファ・メモリ14に3番目のスキャンラインのm個のデジタル・データが格納された時点で、制御手段20はこれら演算用バッファ・メモリ16、14に格納されたデジタル・データを1番目から順にm番目まで読み出させる。読み出されたm個のデジタル・データは平均化手段18に供給されて、データ毎に平均値が求められる。その後、この平均値は2値化手段19へ送られて

以下、同様の動作が反復されて、スキャンデータ・メモリ13に記憶されたすべてのデジタル・データに対して平均化・2値化処理が行われ、m個の2値化されたデジタル・データ毎にデコード6において所定の符号に変換される。

以上の説明は、スキヤナ1のアナログ出力をデジタル・データに変換してから特徴抽出するようにしたものであるが、必ずしもデジタル・データに変換しなければならない訳ではない。例えば、2本のスキヤナにより、バーコードの異なる位置を同時にスキャンし、各スキヤナからのアナログ出力どおしを平均化するようにしても、バーコードに含まれるノイズを除去することが可能である。また、スキヤナの出力をデジタル化するのであれば、得られたデジタル・データをメモリに記憶させておくことができるので、CCDスキヤナの代わりにペン型のスキヤナを用いることもできる。

(発明の効果)

以上、この発明をその実施例に則して説明した

ところから明らかなように、この発明は、バーコードに対応するデジタル・データに基づいてバーコードの特徴を抽出し、該特徴を表す信号を出力する特徴抽出回路を設けたので、ボイドやスポットなどのノイズがバーコードに含まれていても、ノイズを実質的に除去することができ、バーコードを正確に読み取ることができる。特に、これまでは正確なデコードが不可能だった幅の広いボイドやスポットを含むバーコードのデコードが可能となるという格別の効果を奏する。

4. 図面の簡単な説明

第1図は、この発明にかかるバーコード・リーダーの一実施例の構成を示すブロック図である。

第2図は、第1図における特徴抽出回路の具体例を示すブロック図である。

第3図(a)は、第1図における特徴抽出回路をマイクロコンピュータで実現したときの構成を示す図、第3図(b)はこのマイクロコンピュータの動作手順を示すフローチャートである。

第4図は、従来のバーコード・リーダーの構成

の一例を示すブロック図である。

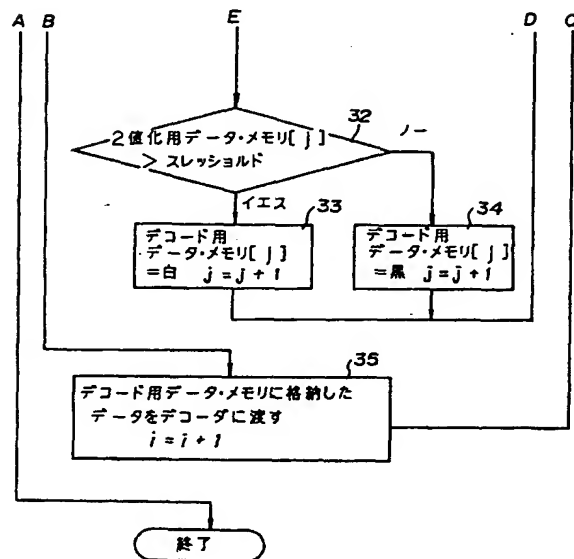
第5図(a)～(f)は第1図と第4図とに示されたバーコード・リーダーの動作を説明するための図で、(a)はノイズを含んだバーコードの一例とスキャンラインとの関係を示し、(b)はノイズを含まないスキャンラインでのスキャンから得られたデータを示し、(c)はスポットを含んだスキャンラインでのスキャンから得られたデータを示し、(d)はボイドを含んだスキャンラインでのスキャンから得られたデータを示し、(e)及び(f)はこの発明に係るバーコード・リーダーにおける特徴抽出回路からの出力を示している。

- | | |
|------------------|------------|
| 1 : スキャナ | 2 : 増幅器 |
| 3 : A/D変換器 | 4 : 特徴抽出回路 |
| 5 : 2値回路 | 6 : デコーダ |
| 7 : RAM | 8・9 : カウンタ |
| 10・11 : ラッチ回路 | |
| 12 : 平均化回路 | |
| 13 : スキャンデータ・メモリ | |

- 14・15・16 : 演算用バッファ・メモリ
 17 : デコード用データ・メモリ
 18 : 平均化手段 19 : 2値化手段
 20 : 制御手段
 MC : マイクロコンピュータ部
 ME : メモリ部

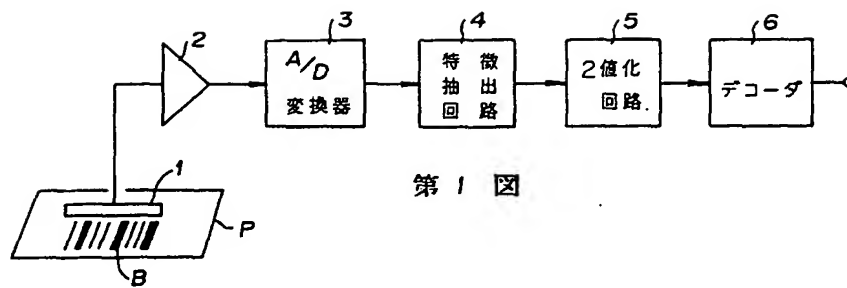
特許出願人 日本コダック株式会社

代理人 弁理士 湯 浅 恭 (外4名)

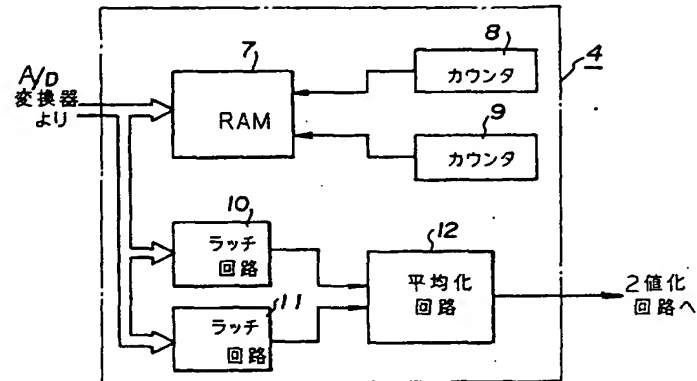


第3図 (b)

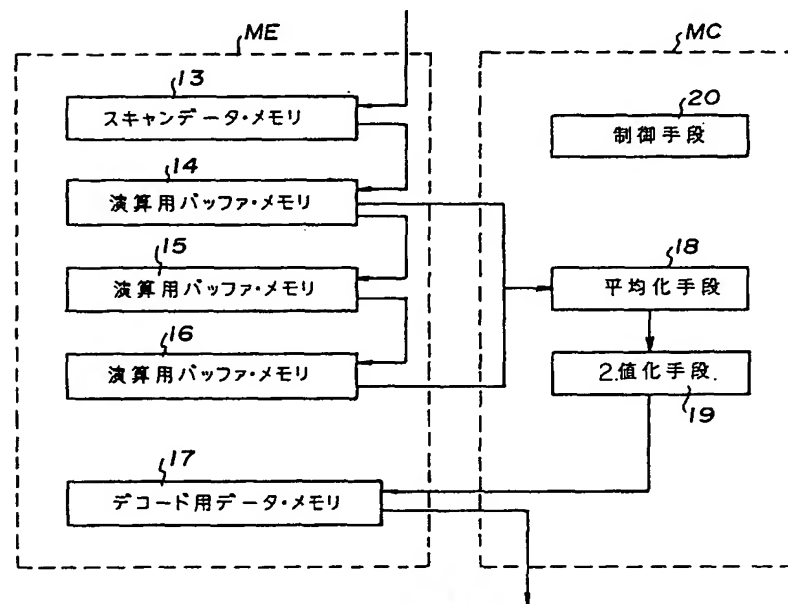
(7の2)



第 1 図



第 2 図



第 3 図

(a)

